

(51) Int.Cl.<sup>8</sup>

G 1 0 H 7/08  
1/02

識別記号

庁内整理番号

FI

### 技術表示箇所

G 1 0 H    7/ 00    5 3 1

審査請求 未請求 請求項の数6 OL (全 9 頁)

(21)出題番号 特題平6-62560

(22)出願日 平成6年(1994)3月31日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 倉田 充浩

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

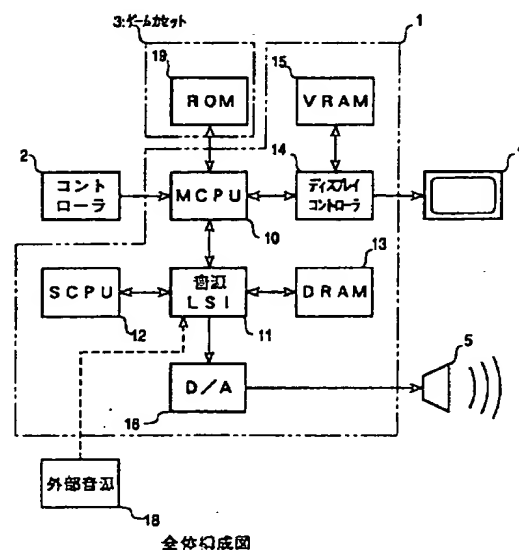
(74) 代理人 弁理士 小森 久夫

(54) 【発明の名称】 音源装置

(57) 【要約】

【目的】簡略な構成で複雑な効果を付与することができる音源装置を提供する。

【構成】PCM回路23は、DRAM13から読み出して音声信号を形成する。この音声信号はDSP24に入力されてモジュレーションなどの効果が付与される。効果が付与された音声信号は、出力ミキシング回路25を介してD/A変換回路に出力されアナログ音声信号に変換される。ここで、この発明では、PCM回路23からDSP24に入力される音声信号をモジュレーション信号として用いた。すなわち、音声信号に対して変調などの効果を付与するための係数となる信号としてこの音声信号を用いた。効果を付与される実際の音声信号は該PCM回路23で形成される他の音声信号でもよく、外部音源装置18から入力される外部音でもよい。これにより、効果付与専用のハード回路が不要になり、プログラムのみで自由に様々なモジュレーション等の効果を付与することができるようになる。



## 【特許請求の範囲】

【請求項1】 音声信号を発生する音声信号発生手段と、音声信号および効果信号を入力し、この入力される音声信号に対して入力される効果信号によって音響効果を付与する効果付与手段とを有する音源装置において、前記音声信号発生手段が発生した音声信号を前記効果付与手段に対して効果信号として供給する手段を備えたことを特徴とする音源装置。

【請求項2】 複数の音声信号を発生する音声信号発生手段と、音声信号および効果信号を入力し音声信号に対して効果信号による変調を含む効果を付与する効果付与手段とを有する音源装置において、前記音声信号発生手段が発生した複数の音声信号のうち少なくとも1つを前記効果付与手段に対して音声信号として供給し、他の複数の音声信号のうち少なくとも1つを前記効果付与手段に対して効果信号として供給する手段を備えたことを特徴とする音源装置。

【請求項3】 基本音声信号を発生する基本信号発生手段および該基本音声信号にエンベロープ波形または低周波信号による変調を付与して出力するエンベロープ付与手段と、音声信号および効果信号を入力し音声信号に対して効果信号による変調を含む効果を付与する効果付与手段とを有する音源装置において、前記基本信号発生手段の発生する基本音声信号を直流レベルに固定するクリップ手段と、前記音声信号発生手段の出力する信号を前記効果付与手段に効果信号として入力する手段と、を備えたことを特徴とする音源装置。

【請求項4】 前記音声信号発生手段は、波形メモリから波形データを読み出すことによって、音声信号を発生する手段であり、前記波形メモリは、ボイス波形データ記憶エリアおよびモジュレーション波形データ記憶エリアを有することを特徴とする請求項1、請求項2または請求項3に記載の音源装置。

【請求項5】 前記音声信号発生手段は、時分割で複数の音声信号を発生する手段であり、前記効果付与手段は、前記音声信号発生手段から入力される音声信号、効果信号のうち少なくともいずれか一方を一時記憶する手段を備えたことを特徴とする請求項2に記載の音源装置。

【請求項6】 前記効果付与手段に対して音声信号を外部から入力する手段を設けたことを特徴とする請求項1または請求項3に記載の音源装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、楽音や効果音などの音声信号を形成するとともに、音声信号に対してモジュレーション（変調）あるいはピッチチェンジなどの種々の音響効果を付与して出力することができる音源装置に関する。

## 【0002】

【従来の技術】 現在、テレビゲーム機には、音源装置が内蔵されており、ゲームカートリッジ（ROM）あるいはCD-ROM内に記憶されている音声データをゲーム機内部のRAMに読み込み、ゲームの進行に応じてこのデータを読み出すことによってゲームの効果音やBGM（楽音）を発生する。

【0003】ところで、テレビゲームの効果音やBGMは、そのゲームの雰囲気をも高めるために、モジュレーションなどの種々の音響効果が施される。このような効果を施すためには、その効果の程度を決定し、または、その効果の程度を時間的に変化させるための係数が必要である。

【0004】従来の音源装置では、効果音の形成に専用にLFOやモジュレーション信号発生回路を備えて係数を発生していた。

## 【0005】

【発明が解決しようとする課題】 しかし、従来の音源装置では、このように専用のハード回路が必要であったため、回路が複雑になるとともにLSIが大型化しコストが大きくなる欠点があった。さらに、複雑な効果を付与することが困難であり、ゲーム毎に効果を変化させることにも限界があった。

【0006】この発明は、音声信号を発生する回路が発生した信号をそのままモジュレーション信号として用いることにより、効果音を形成するための回路を簡略化することができるとともに、効果の内容や程度を種々に変化させることのできる音源装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 この出願の請求項1の発明は、音声信号を発生する音声信号発生手段と、音声信号および効果信号を入力しこの入力される音声信号に対して理にされる効果信号によって音響効果を付与する効果付与手段とを有する音源装置において、前記音声信号発生手段が発生した音声信号を前記効果付与手段に対して効果信号として供給する手段を備えたことを特徴とする。

【0008】この出願の請求項2の発明は、複数の音声信号を発生する音声信号発生手段と、音声信号および効果信号を入力し音声信号に対して効果信号による変調を含む効果を付与する効果付与手段とを有する音源装置において、前記音声信号発生手段が発生した複数の音声信号のうち少なくとも1つを前記効果付与手段に対して音声信号として供給し、他の複数の音声信号のうち少なくとも1つを前記効果付与手段に対して効果信号として供給する手段を備えたことを特徴とする。

【0009】この出願の請求項3の発明は、基本音声信号を発生する基本信号発生手段および該基本音声信号にエンベロープ波形または低周波信号による変調を付与し

て出力するエンベロープ付与手段を有する音声信号発生手段と、音声信号および効果信号を入力し音声信号に対して効果信号による変調を含む効果を付与する効果付与手段とを有する音源装置において、前記基本信号発生手段の発生する基本音声信号を直流レベルに固定するクリップ手段と、前記音声信号発生手段の出力する信号を前記効果付与手段に効果信号として入力する手段と、を備えたことを特徴とする。

【0010】この出願の請求項4の発明は、前記音声信号発生手段を波形メモリから波形データを読み出すことによって、音声信号を発生する手段とし、前記波形メモリにボイス波形データ記憶エリアおよびモジュレーション波形データ記憶エリアを設けたことを特徴とする。

【0011】この出願の請求項5の発明は、請求項2の発明において、前記音声信号発生手段を時分割で複数の音声信号を発生する手段とし、前記効果付与手段に前記音声信号発生手段から入力される音声信号、効果信号のうち少なくともいずれか一方を一時記憶する手段を備えたことを特徴とする。

【0012】この出願の請求項6の発明は、請求項1、3の発明において、前記効果付与手段に対して音声信号を外部から入力する手段を設けたことを特徴とする。

【0013】

【作用】音声信号発生手段が音声信号を発生する。この音声信号は通常は音声として出力される。このとき、この音声に対して残響、音色変化およびモジュレーションなどの効果が効果付与手段によって付与される。ここで、請求項1の音源装置では、音声信号発生手段が発生した音声信号を他の（または自分自身の）音声信号に対して効果を付与するためのパラメータとなる効果信号として効果付与回路に供給する。これにより、効果信号を発生する手段を（専用に）設ける必要がなくなり、ハード構成を簡略化することができる。

【0014】また、請求項2の音源装置では、音声信号発生手段が複数の音声信号を発生し、前記効果付与手段に少なくとも1つの音声信号を音声信号として入力し、他の少なくとも1つの音声信号を効果信号として入力する。これにより、効果付与手段は、音声信号発生手段から入力された少なくとも2つの音声信号を用い、ある音声信号を他の音声信号で効果付与制御して出力することができるため、専用回路を設ける必要がなく構成を簡略化することができ、また、音声信号を効果付与に用いることにより、複雑な効果付与を実現することができる。

【0015】また、この場合において、音声信号発生手段が時分割で複数の音声信号を発生している場合には、一方の音声信号を他方の音声信号と同期するまで記憶しておき、一方を音声信号、他方を効果信号として同時に用いることができる。

【0016】また、請求項3の発明の音声信号発生手段は、基本音声信号にエンベロープ波形や低周波信号によ

る変調を掛けて音声信号として出力する。通常はこのようにエンベロープなどを付加された音声信号が効果付与手段によって更に効果を付与されるが、この発明では、音声信号発生手段は、音声信号を直流値にクリップしてエンベロープ波形や低周波信号をそのまま出力する。このエンベロープ波形や低周波信号が効果付与手段に効果信号として入力される。効果付与手段では、この信号波形を用いて他の音声信号に効果を付与する。これにより、音声信号発生手段が元より有している機能を用いて、他の音声信号に対して効果を付与することができる。

【0017】また、上記音声信号発生手段を波形メモリ型の音源として構成し、波形メモリに主として音声信号の発生に用いられるボイス波形データ記憶エリアおよび主として効果信号の発生に用いられるモジュレーション波形データ記憶エリアを設けることにより、音声信号発生手段が発生する波形を用いて、音声信号の出力と効果信号の出力との両方を行うことができる。なお、モジュレーション波形データ記憶エリアに記憶されるモジュレーション波形としては、たとえば、矩形波やのこぎり波などの単純な波形が適用される。

【0018】さらに、効果付与手段に入力される音声信号を外部から取り込むこともでき、この場合には、音声信号発生手段が発生した信号によって外部から入力された音声信号に対して効果を付与することができる。また、これによって、外部から取り込んだ音声信号に対してこの効果付与手段によりピッチチェンジの効果を付与することもできる。

【0019】

【実施例】図1はこの発明の実施例である音源LSIが適用されるテレビゲーム機の構成図である。ゲーム機本体1には、ディスプレイ4およびスピーカ5が接続されている。これらディスプレイ4およびスピーカ5としてはテレビ受像機に内蔵のものをを用いることができる。また、ゲーム機本体1には前記ディスプレイ4、スピーカ5のほかに、ゲームプログラムを記憶したROM19を内蔵するゲームカートリッジ3、および、ゲームを行うためにプレーヤが操作するコントローラ2が接続されている。コントローラ2はケーブル等を介してゲーム機本体1と接続され、ゲームカートリッジ3はゲーム機本体1に設けられたスロットに挿入される。

【0020】ゲーム機本体1にはメインCPU(MCPU)10が内蔵されており、このMCPU10がゲームの進行など装置全体の動作を制御する。MCPU10には、前記コントローラ2、ゲームカートリッジ3内のROM19、表示制御用のディスプレイコントローラ14、および、効果音やBGM発生用の音源LSI11が接続されている。音源LSI11には発音制御用のサウンドCPU(SCPU)12、SCPU12のプログラムやPCM波形データなどが記憶されるDRAM13お

よび発生した楽音データをアナログの楽音信号に変換するD/A変換回路16が接続されている。D/A変換回路16には前記スピーカ5が接続されている。音源LSI11は外部入力端子を備えており、外部から外部音源装置18を接続し、デジタル音声データを入力することも可能である。また、ディスプレイコントローラ14には画面表示用データを記憶するVRAM15および前記ディスプレイ4が接続されている。

【0021】このゲーム機本体1にゲームカートリッジ3がセットされゲーム機の電源がオンされると、まずMCPU10は所定の画面データを読み込んでディスプレイコントローラ14に送るとともに、効果音やBGMを発生するためのプログラムやPCM波形データをDRAM13に書き込む。この後、コントローラ2の操作によってゲームがスタートし、ゲームの進行に従って、画面データの書き換えや効果音、BGMの発音が行われる。ゲームの進行制御すなわち画面データの書き換えはMCPU10が直接制御する。効果音やBGMの発生は、MCPU10がSCPU12に対して指示し、具体的な音声信号の合成は、DRAM13に書き込まれたプログラム、PCM波形データに基づいてSCPU12が行う。

【0022】図2は前記音源LSI11の内部ブロック図である。この音源LSI11ではPCM回路23が、DRAM13（図1参照）に記憶されたPCM波形データを順次読み出すことによって音声信号、モジュレーション信号などのデジタル低周波信号を形成する。上述したように、ゲームカートリッジ3がスロットにセットされ電源がオンされる毎に、その内蔵ROM19からDRAM13に対して新たなデータが書き込まれる。これにより、ゲーム毎に異なる独自の効果音やBGMが発音される。DRAM13にはメモリコントローラ21およびCPUインタフェース20を介してMCPU10、SCPU12が接続されており、また、メモリコントローラ21を介して音源LSI11内のPCM回路23、DSP24が接続されている。これらMCPU10、SCPU12、PCM回路23およびDSP24はそれぞれが時間をシェアしながらDRAM13をアクセス可能になっている。CPUインタフェース20には、レジスタ22が接続されこのレジスタ22にはMCPU10およびSCPU11がPCM回路23やDSP24にセットするデータあるいはセットするデータを指示するデータが一時記憶される。

【0023】ここで、図5を参照してDRAM13の内部構成を説明する。DRAM13には、前記SCPU12の動作を規定するSCPUプログラム、PCM波形データが記憶されるとともに、DSPリングバッファが設定される。PCM波形データは、BGMや効果音用の楽音信号を発生するためのボイス波形データと、モジュレーション波形や効果付与のためのパラメータとして用いるために読み出されるモジュレーション波形データを含

んでいる。また、これらボイス波形データ、モジュレーション波形データはそれぞれ複数種類記憶されるため、それぞれ複数の記憶エリアが設定されている。また、DSPリングバッファのエリアはDSP24が音声信号データを遅延し、フィルタリングや変調などの効果を付与するために使用される。

【0024】ここで、ボイス波形データとしては、たとえば、サンプリングされた効果音や楽器音のデータが記憶されるが、このような音は長時間持続して発音される場合があるため、ループ読み出しが可能のように各ボイスデータ毎にスタートアドレスSA、ループスタートアドレスLSA、ループエンドアドレスLEAが記憶されている。このボイスデータを読み出す場合には、まずスタートアドレスSAから読み出しを開始し、ループエンドアドレスLEAまで読み出す。この後は、ループスタートアドレスLSA→ループエンドアドレスLEA間を繰り返して読み出すことにより長時間の読み出しを可能にしている。また、モジュレーション波形データは楽音信号を変調等するための波形であるため、主として単純なものが記憶されており、正弦波や図7に示すようなものが記憶される。

【0025】SCPUプログラム、ボイスデータ、モジュレーションデータはゲームソフトカートリッジ3のセット時にMCPU10によって書き込まれる。SCPU12は、MCPU10の指示に基づき、SCPUプログラムを読み出すことによって、該指示に応じた動作を実行する。PCM回路23は、SCPU12の指示に基づいてPCM波形データを読み出すことによってデジタル低周波信号を形成する。デジタル楽音信号は、以後の回路として音声信号または効果信号として用いられる。PCM回路23は、32の時分割チャンネルを有しており、32種類のデジタル低周波信号を独立して形成可能である。

【0026】PCM回路23が形成したデジタル低周波信号のうち、音声信号はDSP24に入力されるか、または、出力ミキシング回路OMIX25に直接入力される。また、モジュレーション信号はDSP24に入力され、効果用の係数として用いられる。なお、一般的には、ボイス波形データを読み出して形成された信号が音声信号として用いられ、モジュレーション波形データを読み出して形成された信号がモジュレーション信号として用いられるが、これらの区別を無視して用いることも自由であり、これにより特殊な効果音を発生することもできる。さらに、DSP24には外部入力端子が設けられており、前記外部音源18から音声信号またはモジュレーション信号を入力することもできる。

【0027】DSP24は、入力された音声信号に対してモジュレーション、フィルタリングあるいはピッチチェンジなどの種々の効果を付与して出力ミキシング回路OMIX25に出力する回路である。音声信号にこのよ

うな効果を付与するため、DSP24は同じくデジタル低周波信号であるモジュレーション信号を入力し、効果付与の係数として用いる。効果が付与されたのちDSP24から出力された音声信号は出力ミキシング回路OMIX25にされる。出力ミキシング回路OMIX25は、32チャンネルの音声信号を2チャンネルのステレオ信号に変換してD/A変換回路16に出力する。

【0028】図3は前記PCM回路23の内部構成を示す図である。このPCM回路23は、位相発生器30、アドレスポインタ31、補間器32、クリップ回路33、反転器34、振幅変調用低周波発振器35、エンベロープジェネレータ36、乗算器37、出力コントローラ38からなっている。なお、以下に説明する動作は、時分割で32チャンネル分並行に行われている。

【0029】位相発生器30にはSCPU12から音名に対応するFNSデータおよびオクターブデータOCTがセットされる。位相発生器30は、これらのデータに基づいて所定のサンプリング周期（たとえば32kHz）毎に位相データを発生出力する。この位相データはアドレスポインタ31にされる。アドレスポインタ31には、PCM波形データを指定するデータとしてスタートアドレスSA、ループスタートアドレスLSA、ループエンドアドレスLEAがSCPU12からされる。アドレスポインタ31は位相発生器30からされた位相データに基づいてアドレスの歩進量を決定し、小数部を含むアドレスデータを出力する。小数部データFRAは補間器32にされ、この小数部を挟む2つの整数アドレスMEAはメモリコントローラ21を介してDRAM13にされる。

【0030】された2つの整数アドレスMEAによってDRAM13から隣接する2つのPCM波形データが読み出される。DRAM13から読みだされたPCM波形データはメモリコントローラ21を介して補間器32にされる。補間器32は、された2個のPCM波形データをアドレスポインタ31からされた小数部データFRAの値に応じて補間することにより該サンプリングタイミングのデジタル低周波信号を形成する。補間器32はこのデータをクリップ回路33にする。クリップ回路33は、補間器32からされるデジタル低周波信号とオール“0”データとのセレクトであり、SCPU12からされるセレクト信号SSCTLによって何れか一方が選択出力される。SSCTLが“0”のときは補間器32からされたデジタル低周波信号がそのまま次段の反転器34にされ、SSCTLが“1”のときは次段の反転器34にオール“0”のデータがされる。

【0031】ここで、デジタル低周波信号は複数ビット（例えば16ビット）のデータで構成されており、この各ビットデータをそれぞれ個別のXOR回路にしSPCTL信号でそのビットを反転するため、反転器3

4は図6に示す構成の回路からなっている。SPCTLはSCPU12からされる2ビットの信号である。XOR回路の2つの端子にはデジタル低周波信号およびSPCTLデータがされる。XOR回路のうちデジタル低周波信号の符号ビット（最上位ビット）がされるXOR回路にはSPCTLの上位ビットがされ、数値（振幅）データビット（最上位ビット以外の全ビット）がされるXOR回路にはSPCTLの下位ビットがされる。SPCTLのビットが“0，0”であればされたデジタル低周波信号のデータはそのままされ、SPCTLのビットが“1，0”であればされたデジタル低周波信号は符号のみ反転されてされる。また、SPCTLのビットが“0，1”であればされたデジタル低周波信号は数値を反転してされ、SPCTLのビットが“1，1”であればされたデジタル低周波信号は符号、数値とも反転してされる。

【0032】反転器34からされたデジタル低周波信号（直流信号の場合を含む）は、乗算器37にされる。乗算器37には、この他に振幅変調用低周波発振器（ALFO）35およびエンベロープジェネレータ（EG）36がされている。デジタル低周波信号として通常の楽音信号がされる場合には、この乗算器37により、振幅変調やエンベロープ波形の付与が行われる。一方、後段のDSP24でALFO35の発生する低周波信号やEG36の発生するエンベロープ波形をそのままの形態でモジュレーション信号として使用したい場合には、デジタル低周波信号の値を直流的に固定して乗算器37にすることにより、他方からされるALFO35またはEG36の波形をこの乗算器37からそのまますることができる。

【0033】したがって、乗算器37にされるALFO35またはEG36の波形をそのままの形態で乗算器37からしようとする場合には、例えばSSCTLを“1”に設定し、SPCTLを“0，1”に設定すればよい。このようにすることにより、クリップ回路33のは“0，0，…”に固定（クリップ）され、反転器34のは最大値“0，1，…”に固定される。この固定値と振幅変調用低周波発振器（ALFO）35のとエンベロープジェネレータ（EG）36のとが乗算されることにより、振幅変調用低周波発振器（ALFO）35またはエンベロープジェネレータ（EG）36からされる値をそのままの形態でする。

【0034】したがって、乗算器37においては、以下のような処理が行われる。デジタル低周波信号として楽音の音声信号がされ、ALFO35から低周波信号がされた場合には、された音声信号が低周波信号によって変調される。デジタル低周波信号として楽音の音声信号がされ、EG36からエンベロープ

波形が入力された場合には、入力された音声信号にエンベロープ波形が乗算され、エンベロープに応じた音量変化が付加される。また、後段のDSP24で単純な低周波信号やEG波形をモジュレーション用に用いる場合には、低周波信号を固定値にクリップしてALFO35が発生した低周波信号やEG36が発生したEG波形をそのままの形態で出力する。デジタル低周波信号として効果用のモジュレーション信号が入力された場合、ALFO35およびEG36を実質的にOFFしてモジュレーション信号をそのまま出力する。

【0035】なお、上記ALFO35、EG36は従来より一般的な構成の回路である。ALFO35は、SCPU12から入力される周波数データLFOS、波形指定データLFOWS、影響度データ（振幅データ）LFOAに基づいて例えば正弦波や図7に示すような波形の低周波信号を発生する。EG36にはSCPU12からアタックレートAR、第1ディケイレートD1R、第2ディケイレートD2R、リリースレートRRが入力され、図8に示すようなエンベロープ波形データを発生して出力する。なお、PCM波形データにはアタック部（スタートアドレスSAからループスタートアドレスLSAの間）のみエンベロープを含む波形を記憶したものがあるが、このようなPCM波形データを読み出す場合にはアタック部として最大値を出力し、同図破線で示すようなエンベロープを形成する。

【0036】乗算器37から出力された信号データは出力コントローラ38でその出力先を指示され、DSP24または出力ミキシング回路25に出力される。

【0037】なお、位相発生器30にALFO35が発生する低周波信号またはDRAM13から読み出された変調用信号を入力して読み出し位相を揺るがせることにより、補間器32から出力されるデジタル低周波信号にFM変調を掛けることもできる。

【0038】図4は前記音源LSI11に内蔵されているDSP24のブロック図である。このDSP24は、前記PCM回路23からのデジタル低周波信号を16チャンネル分入力することができ、また、外部から入力されるデジタル音声信号を2チャンネル入力することができる。DSP24は、これら入力信号を音声信号として遅延やフィルタリングなどの所定の処理を施したのち、出力ミキシング回路25に出力する。また、入力されたデジタル低周波信号を音声信号として処理・出力するのみならずモジュレーション信号として、すなわち、他の音声信号に効果を付与するための係数として用いることもできる。なお、PCM回路23は32チャンネル構成であるのに対してこのDSP24の入力部は16チャンネル分のレジスタしか有していない。これは仕様の問題ではあるが、PCM回路23から直接出力ミキシング回路25に出力される音声信号もあるため実用上はこれで十分である。

【0039】DSP24は、前記PCM回路23から入力したデジタル低周波信号を記憶するためのレジスタとして16ワードのMIXSレジスタ41を備えるとともに、外部音源18から入力されるデジタル音声信号を記憶するためのレジスタとして2ワードのEXTSレジスタ42を備えている。また、DRAM13のリングバッファから読み出されたデータを再度このDSPで処理するために一時記憶する32ワードのMEMSレジスタ43も備えている。これらのレジスタMIXS41、EXTS42、MEMS43は、それぞれレジスタ45およびセクタ48に接続されている。レジスタ45は、変調信号（モジュレーション信号）である係数データを被変調信号である音声信号のタイミングと同期して乗算器49に入力するために一時記憶する回路である。セクタ48は、乗算器49に入力する音声信号を選択するための回路である。これらレジスタ45およびセクタ48に入力するデータを種々に組み合わせることにより、音声信号に対して極めて多様な効果を付与することができる。

【0040】レジスタ45およびセクタ48に入力するデータの組み合わせ例を図9に示す。同図(A)は、PCM回路23から入力されMIXレジスタに記憶されている2つのデジタル低周波信号の一方を音声信号（被変調信号）として用い、他方をモジュレーション信号（変調信号）として用いる場合を示している。また、同図(B)は、PCM回路23から入力されMIXレジスタ41に記憶されている1つのデータをモジュレーション信号として用い、外部音源18から入力されEXTSレジスタ42に記憶されているデジタル音声信号を音声信号として用いる場合を示している。なお、この図ではセクタ48を省略している。

【0041】このDSP24はマイクロプログラムメモリ40に記憶されているマイクロプログラムに従って256ステップの動作を繰り返し実行するが、上述のレジスタ41、42、43のいずれのデータをレジスタ45またはセクタ48に入力するかはマイクロプログラムにより任意に設定することができる。

【0042】DRAMアドレス作成部44は、DRAM13のリングバッファをアクセスする（書込／読出）アドレスを作成してメモリコントローラ21に出力する。メモリコントローラ21は、このアドレスでDRAM13をアクセスしてリングバッファで遅延させるデータの書き込み／読み出しを行う。また、上述したように乗算器49は、音声信号に対して係数を乗算することにより、その音声信号に種々の効果を与える回路である。前記レジスタ41、42、43またはTEMP-RAM53の記憶内容から1つの信号データが音声信号として入力される。TEMP-RAM53はこのDSP24で一旦処理が施された音声信号を短時間遅延したのちフィードバックするためのRAMである。この選択は、マイク



ロプログラムによるレジスタの選択およびセクタ48の設定によって行われる。一方、係数の選択はセクタ47が行う。セクタ47には、前記レジスタ45、固定係数レジスタ46が接続されているとともに、“000...1”（すなわち10進数の1）が入力されている。これらのなかから1つが選択され乗算係数として乗算器49に入力される。レジスタ45が選択された場合には、セクタ48から入力される音声信号に対してPCM回路23が発生した低周波信号による変調の効果を付与することができる。係数レジスタ46が選択された場合には、音声信号に係数レジスタ46に記憶された係数に対応した変調が施される。また、“000...1”が選択された場合には、入力された音声信号がそのまま次段に出力される。

【0043】乗算器49から出力された音声信号は加算器50に入力される。加算器50で所定の加算係数を加算された音声信号は、1クロックディレイ51→シフト回路52を経てこのDSP24から出力される。前記加算係数は、セクタ54により、1クロックディレイ51の出力値、TEMP-RAM53で遅延されたデータまたはオール“0”のなかからセクタ54が1つを選択して加算器50に入力する。なお、前記1クロックディレイ51は、入力されたデータを1サンプリングクロック分遅延させて出力する回路である。シフト回路52は、入力データを所定桁（外部からセットされる）シフト（n乗に相当）して出力する回路である。また、TEMP-RAM53は、シフト回路52から出力された信号を短時間遅延したのち、前記乗算器49または加算器50に戻すための一時記憶メモリである。すなわち、DRAM13のリングバッファでは長時間（10ms～1s程度）の遅延を行い、TEMP-RAM53ではそれ以下の短時間の遅延を行う。

【0044】このDSP24では、リングバッファ、1ビットディレイ51、TEMP-RAM53による遅延、乗算器49による乗算、加算器50による加算、シフト回路52によるシフトによって種々の効果を付与することができる。また、前記乗算器49で音声信号に乗算係数を乗算する場合において、音声信号の選択および乗算係数の選択は、PCM回路23から入力されたデジタル低周波信号、外部音源18から入力されたデジタル信号およびリングバッファで遅延された信号のなかから任意に選択することができるため、非常に自由度の高いDSP効果の付与が可能になる。

【0045】このように、DSPにより音源部の出力を

DSPの変調演算に利用することができるため、幅広い楽音の効果処理をすることができる。また、DRAM13に変調波形を記憶しておくことにより、一般的な変調をPCM波形データの読み出しによって実行することができる。

【0046】

【発明の効果】この発明によれば、音声信号発生手段が発生した音声信号を効果付与回路に対して効果を付与するための効果信号として供給するようにしたことにより、効果信号を発生する手段を別に設ける必要がなくなりハード構成を軽減することができる。

【0047】また、音声信号発生手段が発生した複数の音声信号のうち1つの音声信号を音声信号として入力し他の1つの音声信号を効果信号として入力することにより、1つの音声信号を他の音声信号で効果付与して出力することができ、構成を簡略化することができ、また、音声信号を効果付与に用いることにより、複雑な効果付与を実現することができる。

【0048】また、この場合において、音声信号発生手段が時分割で複数の音声信号を発生している場合には、一方の音声信号を他方の音声信号と同期するまで記憶しておき、一方を音声信号、他方を効果信号として同時に用いることができる。

【0049】また、音声信号を直流値にクリップしてエンベロープ波形や低周波信号をそのまま出力し、このエンベロープ波形や低周波信号が効果付与手段に効果信号として入力することにより、音声信号発生手段が元より有している機能を用いて、他の音声信号に対して効果を付与することができる。

【図面の簡単な説明】

【図1】この発明の実施例である音源用LSIが適用されるゲーム機のブロック図

【図2】同音源用LSIのブロック図

【図3】同音源用LSIのPCM回路のブロック図

【図4】同音源用LSIのDSPのブロック図

【図5】同音源用LSIに接続されるDRAMの内部構成図

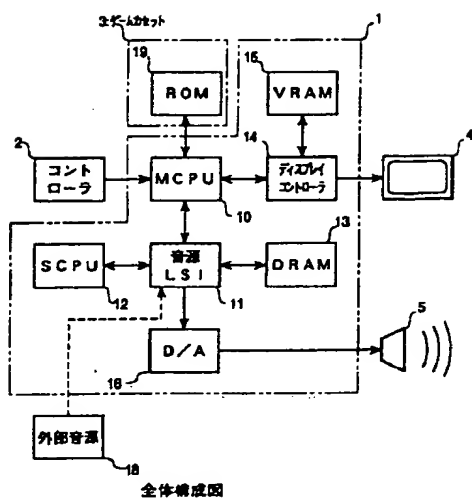
【図6】前記PCM回路内の反転器の構成図

【図7】前記DRAMに記憶されている変調用波形の例を示す図

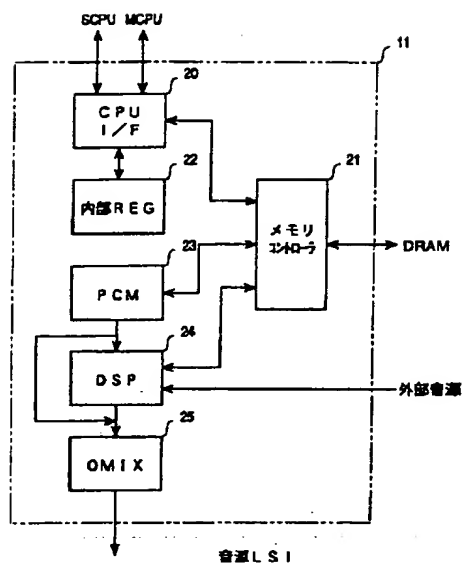
【図8】前記PCM回路が発生するエンベロープの例を示す図

【図9】前記DSP回路におけるレジスタの結線の例を示す図

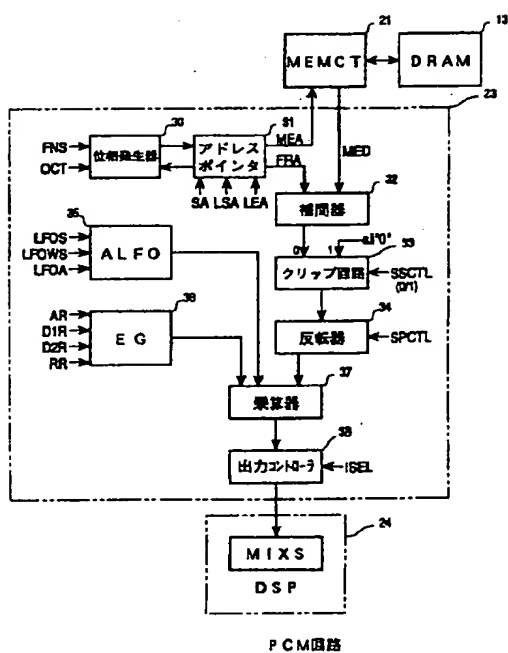
【图 1】



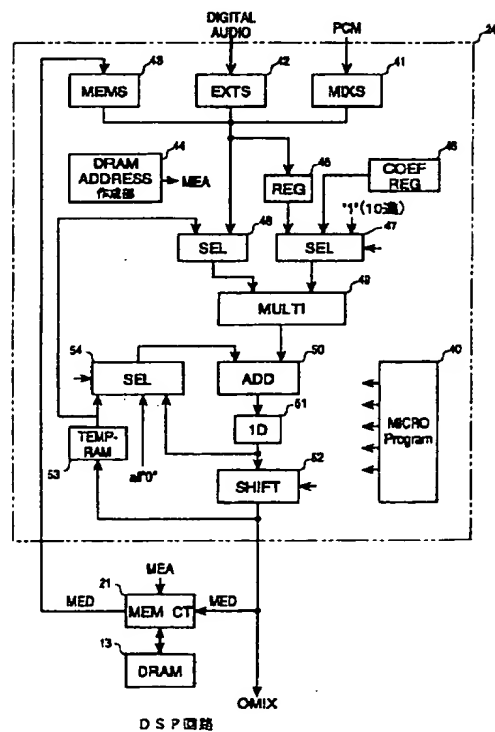
【图2】



【図 3】

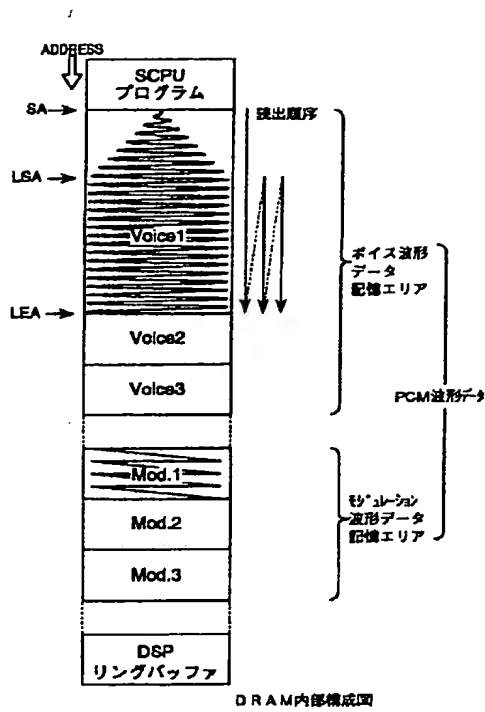


【図4】

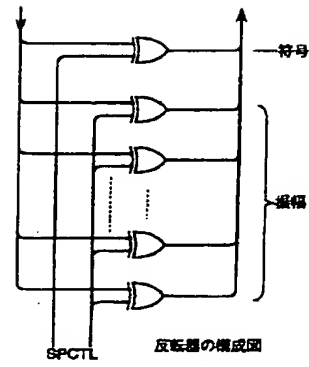




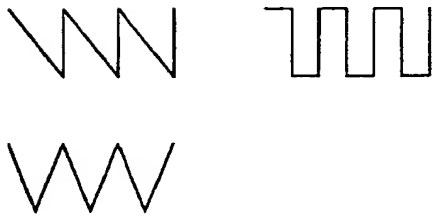
【図5】



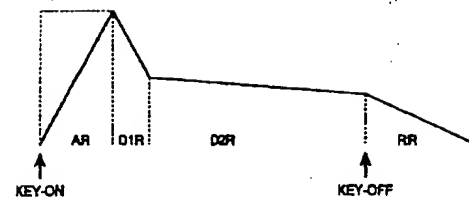
【図6】



【図7】



【図8】



【図9】

